

SEMICONDUCTOR DEVICE

Patent Number: JP10013003
 Publication date: 1998-01-16
 Inventor(s): KISHIGAMI MASAMITSU
 Applicant(s): CASIO COMPUT CO LTD
 Requested Patent: ☐ JP10013003
 Application Number: JP19960184224 19960626
 Priority Number(s):
 IPC Classification: H05K3/32; H01L21/60; H01L23/12; H01L23/14
 EC Classification:
 Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve the connection reliability between the bump of a semiconductor chip and the connection pad of a circuit board.
SOLUTION: A part of an upper inside wiring pattern 3 is arranged at the lower side of a right-side connection pad 5a via an upper insulation film 4 made of an elastically deformable epoxy resin, and a dummy upper inside wiring pattern 3a is arranged at the lower side of a left-side connection pad 5b via the upper insulation film 4, thus making equal the film thicknesses of the upper insulation film 4 below both the connection pads 5a and 5b. As a result, the upper insulation film 4 below both the connection pads 5a and 5b is compressed equally when a semiconductor chip 11 is mounted on a circuit substrate 1 via an anisotropic conductive adhesive 14 along with heated pressurization, thus making equal the connection reliability between a right-side gold bump 13a and the connection pad 5a below it and that between a left-side gold bump 13b and the connection pad 5b below it.

Data supplied from the esp@cenet database - I2

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10013003 A**(43) Date of publication of application: **16.01.98**

(51) Int. Cl.

H05K 3/32
H01L 21/60
H01L 23/12
H01L 23/14

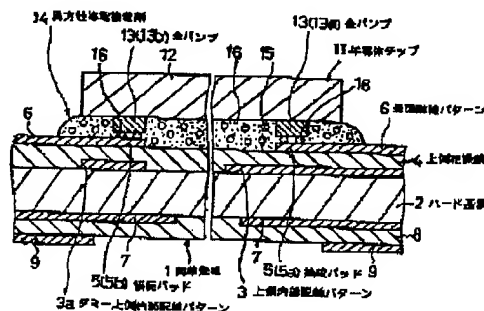
(21) Application number: **08184224**(71) Applicant: **CASIO COMPUT CO LTD**(22) Date of filing: **26.06.96**(72) Inventor: **KISHIGAMI MASAMITSU**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To improve the connection reliability between the bump of a semiconductor chip and the connection pad of a circuit board.

SOLUTION: A part of an upper inside wiring pattern 3 is arranged at the lower side of a right-side connection pad 5a via an upper insulation film 4 made of an elastically deformable epoxy resin, and a dummy upper inside wiring pattern 3a is arranged at the lower side of a left-side connection pad 5b via the upper insulation film 4, thus making equal the film thicknesses of the upper insulation film 4 below both the connection pads 5a and 5b. As a result, the upper insulation film 4 below both the connection pads 5a and 5b is compressed equally when a semiconductor chip 11 is mounted on a circuit substrate 1 via an anisotropic conductive adhesive 14 along with heated pressurization, thus making equal the connection reliability between a right-side gold bump 13a and the connection pad 5a below it and that between a left-side gold bump 13b and the connection pad 5b below it.



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13003

(43) 公開日 平成10年(1998)1月16日

(51) Int. Cl. *	識別記号	序内整理番号	FI	技術表示箇所
H05K 3/32			H05K 3/32	B
H01L 21/60	311		H01L 21/60	S
23/12			23/12	Q
23/14			23/14	R
審査請求	有	請求項の数5	FD	(全5頁)

(21) 出願番号 特願平8-184224

(22) 出願日 平成8年(1996)6月26日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 岸上 政光

東京都青梅市今井3丁目10番地6 カシオ計算機株式会社青梅事業所内

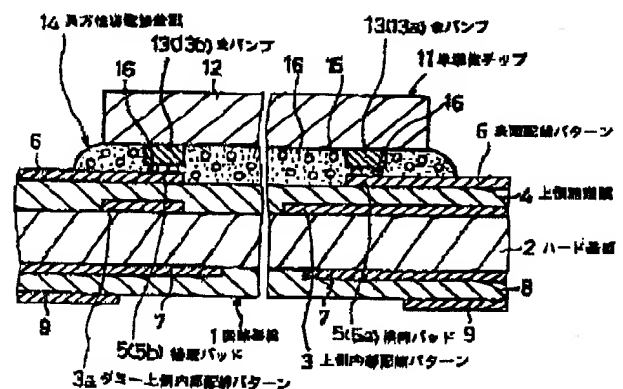
(74) 代理人 弁理士 杉村 次郎

(64) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップの bumps と同路基板の接続パッドとの間の接続信頼性を良くする。

【解決手段】 右側の接続パッド 5 a の下側には弾性変形可能なエポキシ樹脂からなる上側絶縁膜 4 を介して上側内部配線パターン 3 の一部が配置され、左側の接続パッド 5 b の下側には上側絶縁膜 4 を介してダミー上側内部配線パターン 3 a が配置されている。これにより、両接続パッド 5 a、5 b 下の上側絶縁膜 4 の膜厚は同じとなる。このため、半導体チップ 11 を異方性導電接着剤 14 を介して同路基板 1 上に加熱加圧を伴って実装するとき、両接続パッド 5 a、5 b 下の上側絶縁膜 4 が同等に圧縮されることになる。この結果、右側の金 bumps 13 a とその下の接続パッド 5 a との間の接続信頼性と左側の金 bumps 13 b とその下の接続パッド 5 b との間の接続信頼性とを同等とすることができる。



1

【特許請求の範囲】

【請求項1】 基板の上面及びこの基板の上面に形成された内部配線パターンの上面に形成された絶縁膜の表面に複数の接続パッドを含む表面配線パターンが形成されてなる回路基板の前記複数の接続パッドに半導体チップの複数のバンプを接続してなる半導体装置において、前記複数の接続パッドのすべての下側に前記内部配線パターンの一部を位置させたことを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記接続パッドの下側に位置する前記内部配線パターンの一部はダミー内部配線パターンからなることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の発明において、前記絶縁膜はエポキシ樹脂からなることを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれかに記載の発明において、前記バンプは金バンプからなることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれかに記載の発明において、前記バンプと前記接続パッドとの接続は、前記半導体チップと前記回路基板との間に介在された異方性導電接着剤の導電性粒子を介しての接続であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、特に、半導体チップを回路基板上に実装してなる半導体装置に関する。

【0002】

【従来の技術】 例えばMCM(multi chip module)と呼ばれる半導体チップの実装技術では、1つの回路基板上に複数の半導体チップを直接搭載している。この場合、回路基板としては、多層配線構造のものを用いる場合が多い。図5は従来のこのような半導体装置の一部を示したものである。回路基板1は、ガラスエポキシ等からなるハード基板2の上面に上側内部配線パターン3が形成され、その上面全体にエポキシ樹脂からなる上側絶縁膜4が形成され、その上面に複数の接続パッド5を含む表面配線パターン6が形成され、ハード基板2の下側に下側内部配線パターン7が形成され、その下面全体にエポキシ樹脂からなる下側絶縁膜8が形成され、その下面に裏面配線パターン9が形成された構造となっている。この場合、図示していないが、表面配線パターン6と上側内部配線パターン3とは上側絶縁膜4内に形成されたコンダクトホール導通部を介して接続され、上側内部配線パターン3と下側内部配線パターン7とはハード基板2内に形成されたスルーホール導通部を介して接続され、下側内部配線パターン7と裏面配線パターン9とは下側絶縁膜8内に形成されたコンダクトホール導通部を介して接続されている。

(2)

特開平10-13003

2

【0003】 一方、半導体チップ11は、チップ本体12の下面周辺部に複数の金バンプ13が形成された構造となっている。この半導体チップ11は回路基板1上に異方性導電接着剤14を介して実装されている。異方性導電接着剤14は、表面に金属被膜が施された樹脂粒子等からなる導電性粒子15を絶縁製接着剤16中に混入したものからなっている。そして、回路基板1上に異方性導電接着剤14を介して半導体チップ11を位置合わせして載置した後、加熱加圧すると、金バンプ13が接続パッド5に適宜に弾性変形した導電性粒子15を介して接続されるとともに、半導体チップ11が回路基板1に接着剤16を介して接着される。かくして、半導体チップ11は回路基板1上に実装されている。

【0004】 ところで、一例として、半導体チップ11の下面が図6に示すようになっているとする、すなわち、半導体チップ11のチップ本体12が平面長方形形状であって、その下面の長手方向両端部に4つずつの金バンプ13が配置されているとする。すると、回路基板1の接続パッド5は、半導体チップ11の金バンプ13に対応して配置される関係から、図7に示すように配置されている。すなわち、図7において点線で囲まれた長方形形状の領域は半導体チップ搭載エリアを示すが、この半導体チップ搭載エリア内の長手方向両端部に4つずつの接続パッド5が配置されている。しかるに、回路基板1の上側内部配線パターン3は、直接的には半導体チップ11の金バンプ13の配置と無関係であるので、例えば図8に示すように配置されているとする。すなわち、図8において点線で囲まれた長方形形状の領域は半導体チップ搭載エリアに対応する領域を示すが、この領域内の右端部であって図7の右側のすべての接続パッド5に対応する位置に上側内部配線パターン3の各一部が配置され、同領域内の左端部であって図7の左側の所定の2つの接続パッド5に対応する位置にのみ上側内部配線パターン3の各一部が配置されているとする。すると、この半導体装置の図8のX-X線に沿う部分に対応する断面図は図9に示すようになる。この場合、右側の接続パッド5aの下側には上側内部配線パターン3の一部が配置されているが、左側の接続パッド5bの下側には上側内部配線パターン3が配置されていないことになる。

【0005】 ところで、回路基板1のエポキシ樹脂からなる上側絶縁膜4は、弾性変形可能であるので、加圧されると、圧縮されて薄くなる。このため、回路基板1上に異方性導電接着剤14を介して半導体チップ11を位置合わせして載置した後、加熱加圧する際に、接続パッド5a、5b下の上側絶縁膜4が適宜に圧縮されて薄くなる。しかるに、図5に示すように、右側の接続パッド5aの下側に上側内部配線パターン3の一部が配置されているが、左側の接続パッド5bの下側に上側内部配線パターン3が配置されていない場合には、左側の接続パッド5b下の上側絶縁膜4の膜厚は右側の接続パッド5

3

a 下の上側絶縁膜 4 の膜厚よりも上側内部配線パターン 3 の厚さの分だけ厚くなっている。すると、左側の接続パッド 5 b 下の上側絶縁膜 4 の圧縮量は右側の接続パッド 5 a 下の上側絶縁膜 4 の圧縮量よりも大きくなる。換言すれば、上側絶縁膜 4 はその圧縮量に応じて加圧力を吸収することになるので、左側の接続パッド 5 b 下の上側絶縁膜 4 の加圧力吸収は右側の接続パッド 5 a 下の上側絶縁膜 4 の加圧力吸収よりも大きくなる。この結果、右側の金パンプ 1 3 a とその下の接続パッド 5 a との間に加わる圧力が所期値であるとする、左側の金パンプ 1 3 b とその下の接続パッド 5 b との間に加わる圧力が所期値よりも小さくなる。

【0006】

【発明が解決しようとする課題】このように、右側の金パンプ 1 3 a とその下の接続パッド 5 a との間に加わる圧力が所期値であっても、左側の金パンプ 1 3 b とその下の接続パッド 5 b との間に加わる圧力が所期値よりも小さくなる可能性がある。すると、右側の金パンプ 1 3 a とその下の接続パッド 5 a との間に介在された導電性粒子 1 5 は、所期値の圧力を受けて所期の通り弾性変形することにより、対応する金パンプ 1 3 a と接続パッド 5 a に面接触することになる。しかしながら、左側の金パンプ 1 3 b とその下の接続パッド 5 b との間に介在された導電性粒子 1 5 は、所期値よりも小さい圧力を受けるので、所期の通り弾性変形せず、対応する金パンプ 1 3 b と接続パッド 5 b に点接触することになる。この結果、全体的に見て、金パンプ 1 3 と接続パッド 5 との間の接続信頼性が良いとはいえないという問題があった。この発明の課題は、半導体チップのバンプと回路基板の接続パッドとの間の接続信頼性を良くすることである。

【0007】

【課題を解決するための手段】この発明は、基板の上面及びこの基板の上面に形成された内部配線パターンの上面に形成された絶縁膜の表面に複数の接続パッドを含む表面配線パターンが形成されてなる回路基板の前記複数の接続パッドに半導体チップの複数のバンプを接続してなる半導体装置において、前記複数の接続パッドのすべての下側に前記内部配線パターンの一部を位置させたものである。

【0008】この発明によれば、複数の接続パッドのすべての下側に内部配線パターンの一部を位置させているので、すべての接続パッド下の絶縁膜の膜厚が同じとなり、このため半導体チップを回路基板上に加圧を伴って実装するとき、すべての接続パッド下の絶縁膜が同等に圧縮されることとなり、この結果半導体チップのバンプと回路基板の接続パッドとの間の接続信頼性を良くすることができる。

【0009】

【発明の実施の形態】図 1 はこの発明の実施形態における半導体装置の要部を示したものである。この図にお

(3)

特開平 10-13003

4

いて、図 5 と同一部分には同一の符号を付し、その説明を適宜省略する。この実施形態における半導体チップ 1 1 の下面は、図 2 に示すように、図 6 に示す従来の場合と同じとなっている。回路基板 1 の表面は、図 3 に示すように、図 7 に示す従来の場合と同じとなっている。ハード基板 2 の上面は、図 4 に示すように、図 8 に示す従来の場合と若干異なっている。すなわち、図 4 において点線で囲まれた長方形の領域は半導体チップ搭載エリアに対応する領域を示すが、この領域内の右端部であって図 3 の右側のすべての接続パッド 5 に対応する位置に上側内部配線パターン 3 の各一部が配置され、同領域内の左端部であって図 3 の左側の所定の 2 つの接続パッド 5 に対応する位置にのみ上側内部配線パターン 3 の各一部が配置され、同領域内の左端部であって図 3 の左側の残りの 2 つの接続パッド 5 に対応する位置にのみダミー上側内部配線パターン 3 a が配置されている。このため、この半導体装置の図 4 の Y-Y 線に沿う部分に対応する断面図は図 1 に示すようになる。すなわち、右側の接続パッド 5 a の下側には上側内部配線パターン 3 の一部が配置され、左側の接続パッド 5 b の下側にはダミー上側内部配線パターン 3 a が配置されている。

【0010】このように、この半導体装置では、右側の接続パッド 5 a の下側に上側内部配線パターン 3 の一部を配置し、左側の接続パッド 5 b の下側にダミー上側内部配線パターン 3 a を配置しているため、すべての接続パッド 5 a、5 b 下の上側絶縁膜 4 の膜厚が同じとなる。このため、半導体チップ 1 1 を異方性導電接着剤 1 4 を介して回路基板 1 上に加熱加圧を伴って実装するとき、すべての接続パッド 5 a、5 b 下の上側絶縁膜 4 が同等に圧縮されることになる。この結果、右側の金パンプ 1 3 a とその下の接続パッド 5 a との間の接続信頼性と左側の金パンプ 1 3 b とその下の接続パッド 5 b との間の接続信頼性とを同等とすることができる。したがって、半導体チップ 1 1 のバンプ 1 8 と回路基板 1 の接続パッド 5 との間の接続信頼性を良くすることができる。

【0011】ここで、具体的な寸法の一例について説明する。ダミー上側内部配線パターン 3 a を含む上側内部配線パターン 3 及び下側内部配線パターン 7 は銅箔をエッチングしたものからなり、その厚さは 15 ~ 20 μm 程度となっている。接続パッド 5 を含む表面配線パターン 6 及び表面配線パターン 9 は銅箔をエッチングしたものからなり、その厚さは 15 ~ 40 μm 程度となっている。上側絶縁膜 4 及び下側絶縁膜 8 はエポキシ樹脂を印刷または塗布したものからなり、その厚さはダミー上側内部配線パターン 3 a を含む上側内部配線パターン 3 及び下側内部配線パターン 7 が無いところで 40 ~ 50 μm 程度となっている。

【0012】なお、上記実施形態では異方性導電接着剤 1 4 を用いた場合について説明したが、これに限定されるものではない。例えば、図示していないが、接続パッ

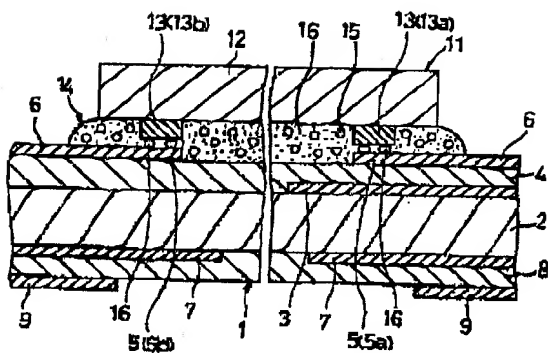
特開平10-13003

1.4 異方性導電接着剤

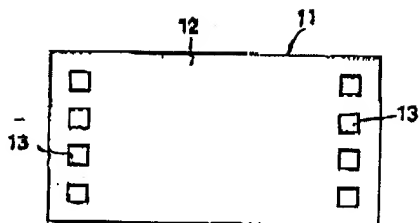
(5)

特開平10-13003

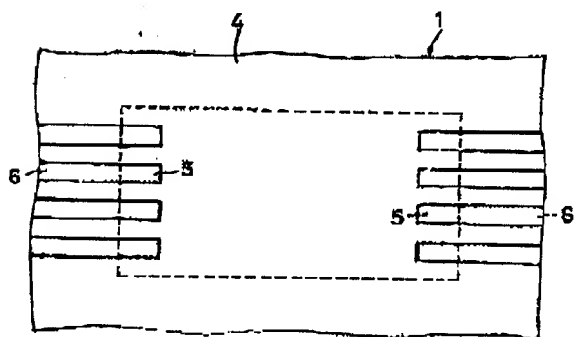
【図5】



【図6】



【図7】



【図8】

